

Systemk ETS 1200

嵌入式线路的图案电镀金属化工工艺

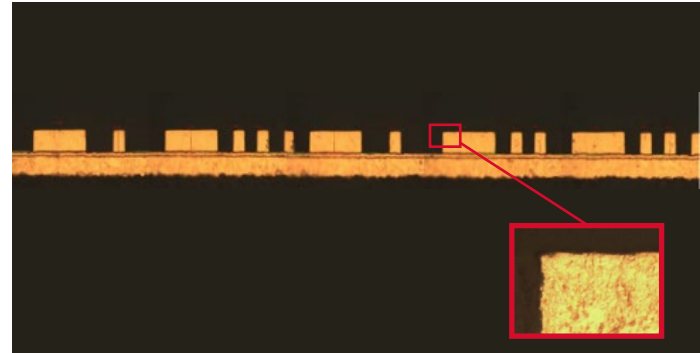
完美的嵌入式图案电镀

Systemk ETS 1200 是一种专门为 IC 载板嵌入式线路设计的先进直流电酸铜图案电镀工艺。

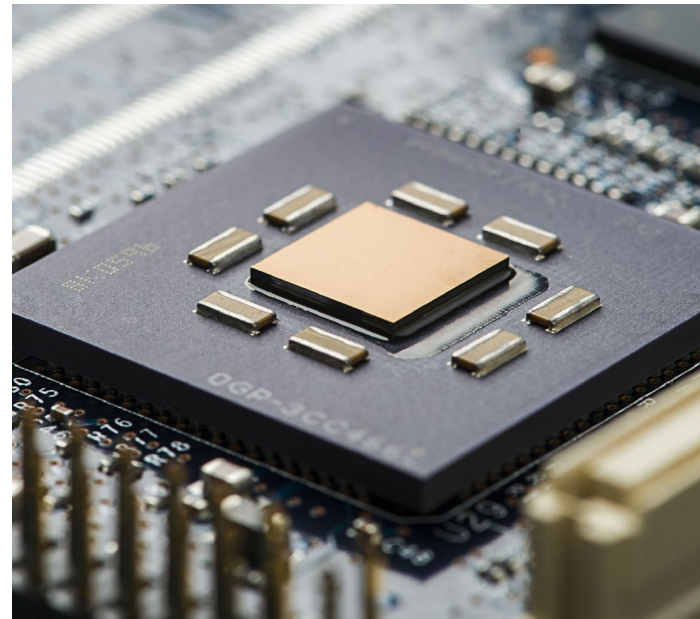
随着面板级封装的尺寸越来越精细，共平面要求越来越高。嵌入式线路技术应用于连结硅晶片与 IC 载板的连接线路。

添加剂系统可电镀铜线路至 5/5 μm 线宽/线距，在铜垫和线路之间具有非常高的共平面性，同时提供异常平坦的线路轮廓。这些特性使高可靠性的铜线路结构可被封装在压合材料中，以实现极致的低阻抗信号隔离。

Systemk ETS 1200 可与 Systemk SAP, Systemk UVF 100 二合一电镀工艺相配合，实现最先进的 IC 载板迭构。



Systemk ETS 外层 (放大图: 线路轮廓方正, 共平面性高)



主要特性优点

- 细线路等级可达 5/5 μm 线宽/线距
- 线路与铜垫间具有出色的共平面性, R 值始终小于 2 μm , 达成可靠的晶片与载板连接
- 优秀的线路轮廓, 极佳的阻抗控制
- 低应力电镀铜超越 IPC Class III (6012D, DS, DA, 6013D) 抗拉强度与延展性标准
- 可分析控制的 3 组分添加剂系统



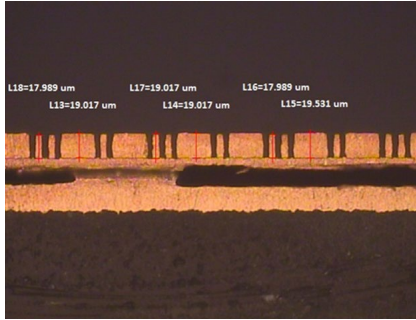
MacDermid Enthone

Systemk ETS 1200

嵌入式线路的图案电镀金属化工工艺

嵌入式线路实现先进高性能设计

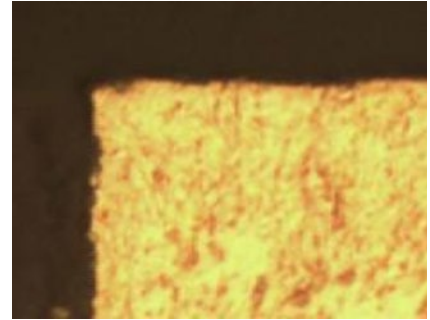
Systemk ETS 是一种面板级封装解决方案,可在有机材料 IC 载板上实现非常高密度的外层。该工艺经过生产验证,可完成 7 微米线宽和线距的设计,实现更高布线密度。嵌入式线路的轮廓方正可保持电信号完整性,极低的阻抗,从而提高性能。



5/5 μm L/S 线路于载体上

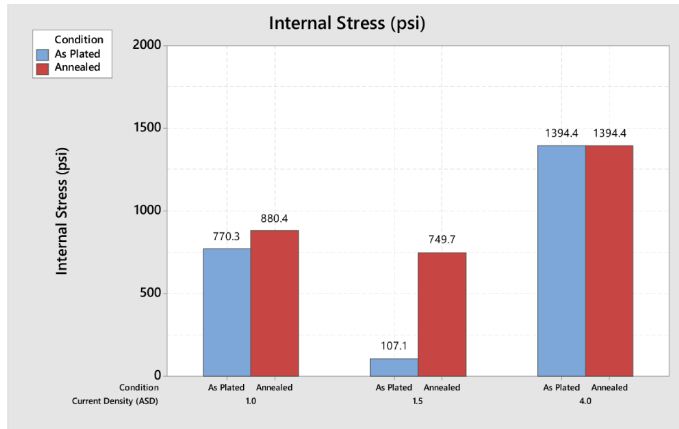


7/7 μm L/S线路于载体上



线路轮廓方正

优秀的物理特性和电镀性能



Systemk ETS 1200 在宽电流密度范围内电镀极低内应力的铜,确保铜层不会导致基材的翘曲。

共平面性, WIU 与铜垫比较 (50 μm)		
线宽/线距 (μm)	最大 R 值 (μm)	平均 R 值 (μm)
10/10	0.29	0.11
7/7	1.03	0.68
5/5	1.54	0.86

Systemk ETS 1200 将线路和铜垫电镀在铜载体上,每个单元和整个面板的 R 值始终低于 2 μm,具有出色的制造质量和构建兼容性。